

一款 VDMOS 半超结元胞结构的设计

刘 铭,冯全源,庄圣贤

(西南交通大学 微电子研究所,四川 成都 611756)

摘 要: 设计了一款 VDMOS 器件的元胞结构,采用半超结结构模型. 传统 VDMOS 结构的导通电阻会随着击穿电压的增长而增长,而半超结结构可以缓和两者之间的矛盾. 通过调节工艺条件,经过三次外延注入生长形成 P 柱,并采用增大外延层浓度和改善电荷平衡的方式,来达到减小元胞结构的特征导通电阻和提高击穿电压的目的. 最终实现了 1 005 V 的耐压,特征导通电阻 $102.91 \text{ m}\Omega \cdot \text{cm}^2$,栅漏电容 $5.65 \text{ pF}/\text{cm}^2$,阈值电压 3.45 V 的元胞结构,降低了超结结构的工艺难度,并获得较优的性能.

关键词: 特征导通电阻;栅漏电容;击穿电压;半超结

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2015)12-0049-05

Design of VDMOS Semi-super Junction Cell Structure

LIU Ming, FENG Quan-yuan, ZHUANG Sheng-xian

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: The cell structure of VDMOS has been designed by Semi-super junction. The specific On-resistance in traditional VDMOS structure will increase as the growth of the breakdown voltage. While the Semi-super junction can ease the contradictions between Specific On-resistance and breakdown voltage. By the regulation of the process flow, P column has been achieved in the three times epitaxial growth. In order to reduce specific on-resistance and keep the high voltage, the epitaxial concentration has been increased and charge balance of the cell structure has been formed. The breakdown voltage 1005 V and the specific on-resistance $102.91 \text{ m}\Omega \cdot \text{cm}^2$ have been achieved with the cell structure. The gate-drain capacitance was $5.65 \text{ pF}/\text{cm}^2$ and the threshold voltage was 3.45 V. Compared with the super junction, Semi-super junction was reduced the process difficulty. What's more, Semi-super junction devices have excellent performance.

Key words: specific on-resistance; gate-drain capacitance; breakdown voltage; semi-super junction

1 引言

依据器件内部电流流动方式,功率 MOSFET 可以分为两种结构:一种为电流在器件表面流动的水平双扩散金属半场效应晶体管(LDMOS);另一种为电流垂直硅片表面流动的垂直双扩散金属半场效应晶体管(VDMOS)^[1]. 其中,VDMOS 具有高输入阻抗和低驱动功率,开关速度快且损耗小,频率特性以及热稳定性突出,并且没有二次击穿等优点^[2],被广泛应用于开关电源、交流传动、变频电源等各种

领域.

高性能的 MOSFET 器件要求低的导通电阻、低损耗和高的击穿电压等性能参数. 要提高器件的击穿电压,功率 MOSFET 器件就要不断地增加外延层厚度和降低掺杂浓度,这就导致了导通电阻($R_{ds,on}$)会随着击穿电压(BV_{dss})的增大呈 2.5 次方迅速增加^[3],从而限制了功率 MOSFT 的发展. 陈星弼院士等人在 1998 年提出了超结的耐压结构理论^[4],这种结构打破了硅极限理论,突破了导通电阻和击穿电压的矛盾,在同等的耐压下可以得到非常

收稿日期:2015-03-17;修回日期:2015-04-30

基金项目:国家自然科学基金项目(61271090);四川省科技支撑计划项目(2015GZ0103)

低的电阻,但是超结结构制造工艺难度大,而半超结结构^[5]继承了超结结构的优点,并减小了工艺难度,易于实现。

本文采用半超结结构,经过三次外延注入生长形成 P 柱,并采用增大外延层浓度和改善电荷平衡的方式,来达到减小元胞结构的特征导通电阻和提高击穿电压的目的。

2 半超结结构的分析与设计

2.1 超结与半超结结构的原理

如图 1 所示,可以看出交替的 PN 柱组成了超结的漂移区,并在纵向上形成了 PN 结。传统的高压 VDMOS 的突变结电场分布为三角形,而因为超结的二维电荷耦合效应,超结结构漂移区纵向电场分布为矩形^[6]。电压是电场对距离的积分,在同样的距离内超结结构可以承受更高的耐压,这样只需要较小的元胞尺寸就可以达到需求的耐压。但是超结结构的制造工艺比较复杂,难度较大。半超结结构与超结结构相类似,其不同在于半超结结构的 P 柱和 N 柱比较浅, P 柱与 N 柱同样可以形成电荷耦合效应。因此,在保证耐压的前提下就可以通过增加 N 柱掺杂浓度来减小特征导通电阻,得到性能优异的元胞结构。

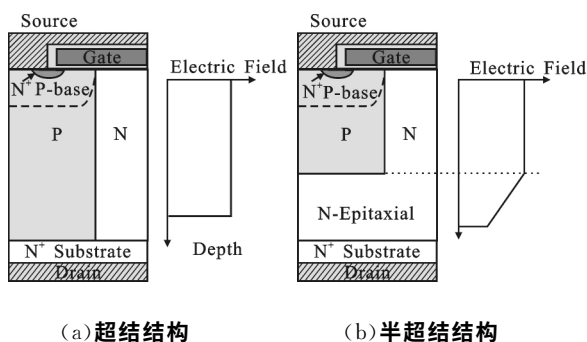


图 1 超结结构和半超结结构的示意图与电场分布图

若超结漂移区纵向电场等于击穿 PN 结的临界电场 (E_{CU}) 时,下式成立^[7]:

$$qN_D \frac{W_N}{2} = \epsilon_s E_{CU} = qN_A \frac{W_P}{2} \quad (1)$$

式中, q 为电荷量, ϵ_s 为硅的介电常数, W_P 和 N_A 分别为 P 柱宽度和掺杂浓度, W_N 和 N_D 分别为 N 柱宽度和掺杂浓度。

可求出 P 柱与 N 柱得掺杂浓度和宽度的关系式:

$$N_D W_N = N_A W_P \quad (2)$$

当式 (2) 成立时,能够形成良好的电荷耦合, P

型与 N 型的漂移区可完全耗尽,使漂移区的纵向电场相等,得到高的击穿电压。超结理论同样适用于半超结,但是半超结结构减小了超结结构工艺上的复杂度,并且保留了超结结构的优点。

2.2 半超结结构的设计

形成半超结 P 柱的方法有两种,一种是多次生长外延^[8],此方法是在 N+ 衬底上先淀积一层 N 型掺杂的外延层,然后通过光刻出 P 柱区域,进行硼离子的扩散和退火,如此反复多次,最终形成 P 柱。另一种是通过往沟槽里填 P 型外延的方法^[8],先对 N 型外延刻蚀,形成沟槽后将 P 型多晶硅注入填充至沟槽内。其中第一种方法有成熟的 VDMOS 工艺,精准度便于控制,第二种方法工艺更简单,但是槽侧墙需要有一定角度,以保证回填质量,保证其没有缺陷和空隙,现阶段的工艺很难达到,这样就可能使漏电流较大,影响器件性能。因此,本文选用传统的 VDMOS 工艺以三次生长外延的方法形成半超结结构,最后再生长一次次外延形成平面 MOSFET 结构,如图 2 所示,图中的, W_m 为掩膜窗口宽度。

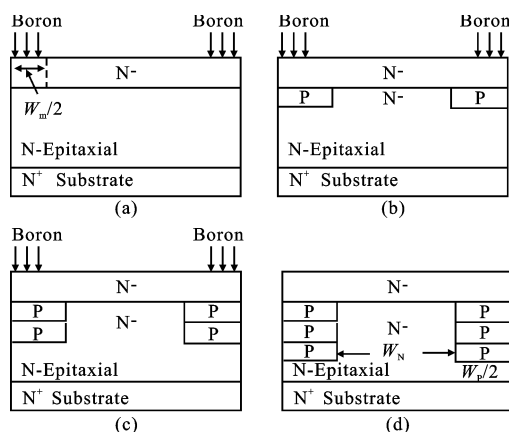


图 2 P 柱形成示意图

P 柱的浓度和宽度是通过硼离子的注入与退火决定的,因为受到横向扩散的影响,所形成的 P 柱并不是标准的矩形。通过模拟仿真,本文选择多次生长外延的方法,每次生长 $5 \mu\text{m}$ 的 N 型外延,反复三次形成 P 柱。

3 半超结结构仿真结果与分析

根据元胞结构的耐压要求,元胞宽度为 $12 \mu\text{m}$,栅极宽度为 $5 \mu\text{m}$,外延层厚度为 $75 \mu\text{m}$,第一次生长的外延称为主外延,掺杂浓度 N_{epi} 为 $2.46 \times 10^{14} \text{ cm}^{-3}$,再生长注入硼离子退火形成 P 柱的外延

为次外延. 因为 P 柱硼离子的热扩散会受到 N 柱浓度增大的影响, N 柱浓度的增大的会使 P 柱的宽度变小, 因此先增大次外延浓度 N_{epi2} 使 N 柱浓度增大.

3.1 N 柱的设计

三次生长次外延形成 P 柱时, 固定主外延与次外延浓度相同为 $2.46 \times 10^{14} \text{ cm}^{-3}$, 不增加次外延的掺杂浓度, 即使能通过改变元胞结构的其他参数提升击穿电压, 但是元胞的特征导通电阻很大. 因此, 为了减小特征导通电阻, 选择合适的次外延浓度, 下面改变次外延的浓度 N_{epi2} , 分析次外延浓度 N_{epi2} 对半超结结构的性能参数的影响.

仿真中 Boron 离子的注入剂量为 $1 \times 10^{12} \text{ cm}^{-2}$, 通过两次注入, 能量分别为 70 KeV 和 120 KeV. 半超结结构的杂质分布如图 3, 其中 N_{epi2} 为虚线以上部分.

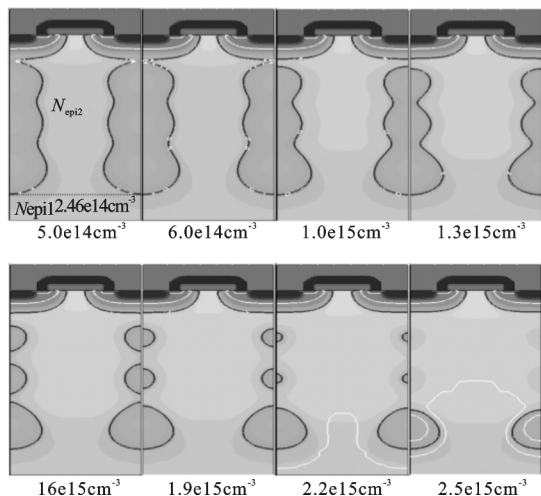


图3 半超结结构的杂质分布图

在半导体中, 如果同时具有施主杂质和受主杂质, 则会存在补偿作用^[9]. 图 3 中可以看出, 如果次外延 N_{epi2} 浓度比较小, 在次外延中可以形成 P 柱和 N 柱. 若 N_{epi2} 浓度逐渐增大, 由于存在杂质的补偿作用, P 区分布区会逐渐缩小, 当 N_{epi2} 浓度更大时, P 区分布会更小直至形成不了 P 区.

仿真出的击穿电压 (BV_{dss}) 与特征导通电阻 ($R_{\text{ds,on}}$) 如图 4 所示, 当 N_{epi2} 浓度从 $6.00 \times 10^{14} \text{ cm}^{-3}$ 到 $1.90 \times 10^{15} \text{ cm}^{-3}$, 击穿电压迅速下降, 而之后随着 N_{epi2} 浓度的增加, 击穿电压下降缓慢. 这是因为在杂质的补偿作用下, 硼离子的注入退火形成不了 P 柱或 P 区, 继而不能形成 PN 结, 导致击穿电压下降. 特征导通电阻的仿真曲线可以看出, 随着 N_{epi2} 浓度的增加, 特征导通电阻迅速减小, 当浓度达到

$1.65 \times 10^{15} \text{ cm}^{-3}$ 时, 特征导通电阻开始缓慢下降.

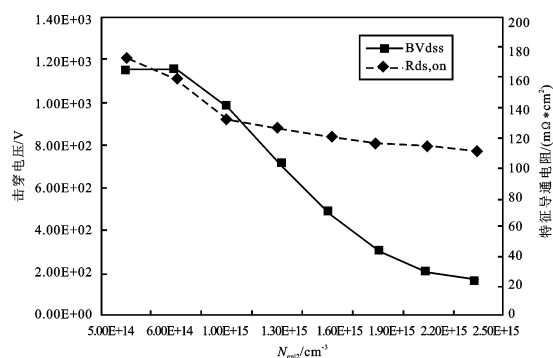


图4 击穿电压 (BV_{dss}) 与特征导通电阻 ($R_{\text{ds,on}}$) 的仿真曲线

通过击穿电压和特征导通电阻的仿真曲线知道 N_{epi2} 浓度达到 $1.65 \times 10^{15} \text{ cm}^{-3}$ 后半超结结构特征导通电阻减小缓慢, 击穿电压通过调整参数可以达到需求, 因此本文选取次外延掺杂浓度 N_{epi2} 为 $1.65 \times 10^{15} \text{ cm}^{-3}$.

3.2 P 柱的设计

P 柱宽度的大小 W_P 与注入离子的掩膜窗口大小和横向扩散有关, 本文掩膜窗口大小 W_m 选取为 $2 \mu\text{m}$. 主外延的厚度 t_{epi1} 为 $55 \mu\text{m}$, 三次生长次外延形成 P 柱, 次外延厚度每次生长为 $5 \mu\text{m}$, 最后再生长一层 $5 \mu\text{m}$ 的次外延用来完成平面 MOS 元胞结构的设计, 总外延厚度约为 $75 \mu\text{m}$.

在仿真中确定次外延掺杂浓度 N_{epi2} 为 $1.65 \times 10^{15} \text{ cm}^{-3}$, 只改变 Boron 离子注入剂量, 分析注入剂量对半超结结构的性能参数的影响. 不同 Boron 离子注入剂量杂质分布如图 5 所示.

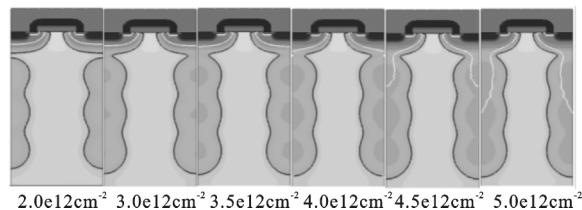


图5 不同注入剂量的杂质分布图

从图 5 可以看出, P 柱的宽度 W_P 会随着注入剂量的增加而增加, 从而影响 N 柱的宽度 W_N . 由上文可知, 当式 (2) 成立时, 半超结结构电荷耦合良好, 可以得到较高的击穿电压.

图 6 所示为半超结结构的横向掺杂浓度曲线, 表 1 中列举了不同注入剂量下 P 柱、N 柱的宽度和掺杂浓度等参数, 图 7 所示为不同注入剂量的击穿电压和特征导通电阻曲线.

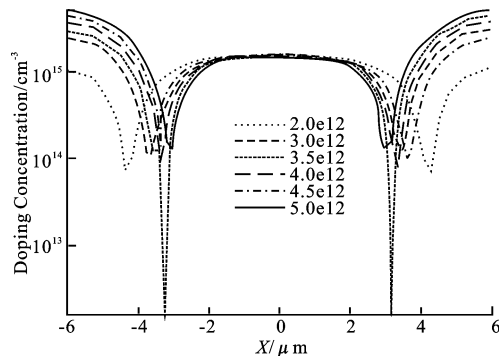


图 6 半超结结构的横向掺杂浓度曲线

表 1 不同剂量下 P 柱和 N 柱的参数

注入剂量/ cm ⁻²	$W_P/\mu\text{m}$	N_A/cm^{-3}	$W_N/\mu\text{m}$	N_D/cm^{-3}
2.0e12	3.39	1.13e15	8.61	1.65e15
3.0e12	4.87	2.50e15	7.13	
3.5e12	5.26	3.20e15	6.74	
4.0e12	5.27	3.90e15	6.73	
4.5e12	5.64	4.59e15	6.36	
5.0e12	6.00	5.28e15	6.00	

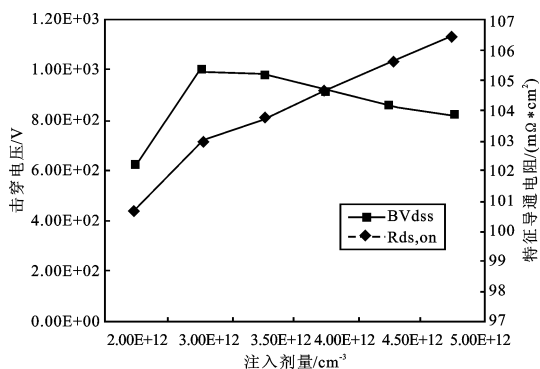
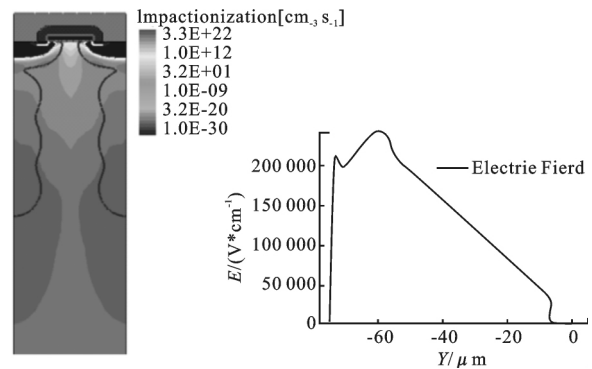


图 7 不同剂量的击穿电压和特征导通电阻曲线

通常,PN 柱区的电荷平衡状况对超结功率器件的击穿电压影响很大,最大的击穿电压出现在点和平衡时^[10].由图 6 和表 1 可知,当注入剂量 $3.0 \text{ e}12 \text{ cm}^{-2}$ 时 P 柱宽度 W_P 和杂质浓度 N_A 分别为 $4.87 \text{ }\mu\text{m}$ 和 $2.50 \text{ e}15 \text{ cm}^{-3}$,N 柱宽度 W_N 和杂质浓度 N_D 分别为 $7.13 \text{ }\mu\text{m}$ 和 $1.65 \text{ e}15 \text{ cm}^{-3}$,此时 $W_N * N_D$ 与 $W_P * N_A$ 最接近,电荷耦合良好,可以推测最大击穿电压位于注入剂量 $3.0 \text{ e}12 \text{ cm}^{-2}$ 处.从图 7 可以看出,当注入剂量为 $3.0 \text{ e}12 \text{ cm}^{-2}$ 时半超结结构的击穿电压最大为 $1 \text{ }005 \text{ V}$,与推测相符合.此时,其碰撞电离率和纵向电场分布如图 8 所示,碰撞电离率最大值位于 P 柱下方的 PN 结处,而且 N 柱达到了击穿场强,所以得到了较高的击穿电压.



(a)碰撞电离率 (b)纵向电场分布
图 8 剂量为 $3.0 \text{ e}12 \text{ cm}^{-2}$ 时碰撞电离率和纵向电场分布图

3.3 半超结结构与传统 VDMOS 结构的对比

为了保证元胞结构仿真结果对比的准确性,传统 VDMOS 结构的仿真除了生长外延方式与半超结结构不同,其他工艺步骤则一致.仿真结果如表 2 所示,其中电阻是在 $V_G = 10 \text{ V}$ 时测得,电容是在 $V_{gs} = 0, V_{ds} = 25 \text{ V}, f = 1 \text{ MHz}$ 条件下测得.

表 2 半超结结构和传统 VDMOS 结构的仿真结果对比

参数	传统 VDMOS 结构	半超结结构
击穿电压/V	880	1 005
特征导通电阻/ $\text{m}\Omega * \text{cm}^2$	132.02	102.91
阈值电压/V	3.30	3.45
栅漏电容/ (pF/cm^2)	22.01	5.65
输入电容/ (nF/cm^2)	11.23	10.90
输出电容/ (nF/cm^2)	0.89	1.29

通过表 2 中的仿真结果计算可知,半超结结构击穿电压增加了 14.2% ,特征导通电阻下降了 22.05% .半超结结构的阈值电压比传统 VDMOS 结构略大的原因是因为硼离子注入扩散过程中增大了 P-base 的浓度.栅漏电容的大小直接关系到栅电荷 Q_{gd} 的大小,进而关系到器件的开关特性,为了得到良好的开关特性,降低频率效应,减小栅漏电容是必要的.半超结结构的栅漏电容比传统 VDMOS 结构的减小了 74.33% ,具有较好的开关性能.

为了更好地说明本文设计的元胞结构性能,查找了相关文献,并对耐压,特征导通电阻等参数做了比较.文献[11]采用传统的 VDMOS 结构,击穿电压为 700 V ,元胞结构特征导通电阻为 $110.86 \text{ m}\Omega * \text{cm}^2$,电阻较大.文献[12]对功率 MOSFET 几种元胞结构进行了分析比较,设计的耐压为 600 V ,其中特征导通电阻 V 型 TPMOS 为 $120 \text{ m}\Omega * \text{cm}^2$,

TPMOS 为 $110 \text{ m}\Omega \cdot \text{cm}^2$, VDMOS 为 $150 \text{ m}\Omega \cdot \text{cm}^2$, 与半超结结构相比, 性能较差。

4 结束语

本文设计了一款 VDMOS 半超结元胞结构, 采用三次生长次外延的方法形成 P 柱, 通过增加次外延 t_{epi2} 的掺杂浓度来减小半超结元胞结构特征导通电阻, 并优化了 N 柱和 P 柱的掺杂浓度和宽度, 最终实现了 1 008 V 的耐压。与传统 VDMOS 结构相比, 提高了击穿电压并减小了特征导通电阻, 缓和了击穿电压和导通电阻的矛盾, 并获得较好的开关性能。

参考文献:

- [1] 陈星弼. 功率 MOSFET 与高压集成电路[M]. 南京: 东南大学出版社, 1990: 6-8.
- [2] 胡佳贤, 韩雁, 张世峰, 等. 200 V 高压大电流 VDMOS 的研制[J]. 固体电子学研究与进展, 2011, 31(1): 85-89.
- [3] Balliga B J. Fundamental of power semiconductor devices[M]. New York: Springer-Verlag, 2008: 174.
- [4] Deboy G, Marz M, Stengl J P, et al. A new generation of high voltage MOSFETs breaks the limit line of silicon [C] // International Electron Devices Meeting, USA, San Francisco, 1998: 683-685
- [5] 陈文高, 荆吉利, 孙伟峰, 等. 半超结 VDMOS 的研究

[J]. 微电子学, 2009, 39(4): 584-587.

- [6] 胡佳燕. 超结高压功率 MOSFET 器件研究[D]. 杭州: 浙江大学, 2012: 7-8.
- [7] Balliga B J. Advanced power MOSFET concepts[M]. Berlin: Springer, 2010: 326-328.
- [8] 黄海猛. 超结结构的模型研究及优化设计[D]. 成都: 电子科技大学, 2013: 5-10.
- [9] 刘恩科, 朱秉升, 罗晋升, 等. 半导体物理学[M]. 北京: 电子工业出版社, 2010: 50-51.
- [10] 黄示, 郭宇峰, 姚佳飞, 等. 横向超结器件衬底辅助耗尽效应的研究与展望[J]. 微电子学, 2013, 43(4): 586-588.
- [11] 干红林, 冯全源, 王丹. 高压功率 VDMOS 元胞的研制[J]. 电子元件与材料, 2015, 34(2): 47-49.
- [12] 孙丞. 功率 MOSFET 新结构及其工艺研究[D]. 西安: 西安理工大学, 2009.

作者简介:

刘 铭 男, (1990-), 硕士研究生. 研究方向为大功率器件的研究与设计.

冯全源(通讯作者) 男, (1963-), 博士, 教授, 博士生导师. 研究方向为数字、模拟及射频集成电路设计.

E-mail: fengquanyuan@163.com.

庄圣贤 男, (1964-), 教授, 博士生导师. 研究方向为 SoC 系统设计方法、电力电子系统控制与集成.

(上接第 48 页)

- [11] Wei He, Nicholas Williard, Michael Osterman, et al. Remaining useful performance analysis of batteries [C] // IEEE Conference on Prognostics and Health Management, Denver, 2011: 20-23.
- [12] Wei He, Nicholas Williard, Michael Osterman, et al. Prognostics of lithiumion batteries based on Dempster-Shafer theory and the Bayesian Monte-Carlo method [J]. Journal of Power Sources, 2011, 196(23): 10314-10321.
- [13] Gunnarsson F, Bergman N, Forssell U, et al. Particle filters for positioning[J]. Navigation and Tracking. IEEE Trans. Signal Processing, 2002, 50(2): 425-437.

作者简介:

周靖宇 男, (1984-), 博士研究生. 研究方向为模拟电路故障预测、故障诊断、测试生成算法.

E-mail: 1308531709@qq.com.

田书林 男, (1968-), 教授, 博士生导师. 研究方向为测试技术与仪器.

王厚军 男, (1961-), 教授, 博士生导师. 研究方向为研究方向为测试技术与仪器.

龙 兵 男, (1974-), 副教授, 硕士生导师. 研究方向为可测性分析与电路与电子系统故障诊断.